



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

95/2826  
JTW

Re Patent Application of: )

ERRATICO )

Serial No. 09/899,573 )

Confirmation No: 1615 )

Filing Date: JULY 5, 2001 )

For: INTEGRATED STRUCTURE )

Examiner: J. MONDT

Art Unit: 2826

NOA Date: 08/16/04

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MAIL STOP ISSUE FEE  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

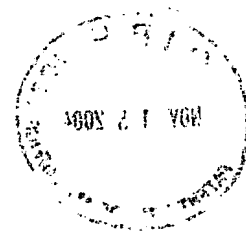
Transmitted herewith is a certified copy of the  
priority European application No. 00830492.5.

Respectfully submitted,

CHRISTOPHER F. REGAN  
Reg. No. 34,906  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Ave., Suite 1401  
P. O. Box 3791  
Orlando, Florida 32802  
(407) 841-2330

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: MAIL STOP ISSUE FEE,  
COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-  
1450, on this 9th day of November, 2004.



**THIS PAGE BLANK (USPTO)**



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr. Patent application No. Demande de brevet n°**

00830492.5

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**I.L.C. HATTEN-HECKMAN**

DEN HAAG, DEN  
THE HAGUE,  
LA HAYE, LE

20/06/01

**THIS PAGE BLANK (USPTO)**



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

**Blatt 2 der Bescheinigung**  
**Sheet 2 of the certificate**  
**Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.:  
Demande n°: 00830492.5

Anmeldetag:  
Date of filing: 14/07/00  
Date de dépôt:

Anmelder:  
Applicant(s):  
Demandeur(s):  
STMicroelectronics S.r.l.  
20041 Agrate Brianza (Milano)  
ITALY

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:  
Integrated semiconductor structure

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:  
State:  
Pays:

Tag:  
Date:  
Date:

Aktenzeichen:  
File no.  
Numéro de dépôt:

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:  
H01L21/762, H01L21/822, H01L27/02

Am Anmeldetag benannte Vertragsstaaten:  
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR  
Etats contractants désignés lors du dépôt:

Bemerkungen:  
Remarks:  
Remarques:

See for original title of the application page 1 of the description

**THIS PAGE BLANK (USPTO)**

Struttura integrata

La presente invenzione riguarda una struttura integrata in una piastrina di materiale semiconduttore.

È noto l'utilizzo di particolari strutture integrate in piastrine in materiale semiconduttore ("chip") aventi un substrato che presenta un'elevata concentrazione di impurità, cioè avente un drogaggio di tipo  $P^+$  (oppure,  $N^+$ ), ed uno strato epitassiale che presenta una conduttività dello stesso tipo di quella del substrato ma una bassa concentrazione di impurità, cioè avente un drogaggio di tipo  $P^-$  (oppure,  $N^-$ ). Tali strutture sono comunemente denominate strutture " $P^+-P^-$ " (oppure,  $N^+-N^-$ ).  
Nello strato epitassiale sono, inoltre, presenti regioni opportunamente drogate entro le quali vengono realizzati componenti elettronici o gruppi circuitali.

Fra le diverse tecnologie note riguardanti applicazioni di potenza, vi è la tecnologia BCD (Bipolar, CMOS, DMOS).

La tecnologia BCD è in grado di consentire l'integrazione di più dispositivi di potenza in uscita risultando particolarmente vantaggiosa quando occorra realizzare circuiti a semiponte o ponte intero sia monofase che trifase, o quando siano necessari molte uscite in parallelo. La necessità, dettata da particolari applicazioni, di avere più uscite isolate impone l'uso di un substrato avente una polarità diversa da quella di un collettore di un transistor bipolare o da quella di un drain di un transistor MOS, integrati nello strato epitassiale. Ciò comporta che nella tecnologia BCD i componenti integrati sono provvisti di terminali che, per essere isolati, si trovano sulla superficie della piastrina semiconduttiva. In particolare, nell'ambito della tecnologia BCD e per applicazioni di potenza in cui siano richieste tensioni di alimentazione non elevate, tipicamente, ma non esclusivamente, comprese fra 30 V e 60 V, vengono utilizzate strutture  $P^+-P^-$ . In tali casi, le strutture  $P^+-P^-$  impiegate

presentano un basso spessore dello strato epitassiale compreso, ad esempio, tra  $5\mu\text{m}$  e  $7\mu\text{m}$ .

In generale, i componenti elettronici o i gruppi circuitali realizzati in una generica struttura integrata in una piastrina in materiale semiconduttore richiedono di  
5 essere isolati elettricamente fra loro.

Una tecnica d'isolamento largamente utilizzata consiste nel creare all'interno della piastrina di materiale semiconduttore regioni di isolamento aventi conduttività di tipo opposto a quella del materiale semiconduttore. Queste regioni d'isolamento vengono polarizzate rispetto materiale semiconduttore in modo tale che le giunzioni  
10 PN che esse formano con il materiale siano polarizzate inversamente. La polarizzazione inversa di queste regioni, contenenti vari componenti o gruppi circuitali, assicura, in condizioni normali di funzionamento, il loro isolamento.

È noto che in strutture integrate comprendenti due o più regioni d'isolamento, o altre regioni aventi conducibilità di tipo opposto a quella del materiale  
15 semiconduttore all'interno del quale sono realizzate, possono manifestarsi circolazioni di corrente indesiderate che provocano funzionamenti anomali della struttura integrata. Tali correnti sono provocate dalla polarizzazione diretta transitoria di quelle giunzioni che durante il normale funzionamento sono polarizzate inversamente.

20 Ad esempio, per applicazioni di potenza della struttura integrata, tale polarizzazione diretta può manifestarsi alla commutazione di polarità su carichi induttivi, quali induttanze, motori, o su carichi capacitivi, quali condensatori, batterie ed accumulatori.

Inoltre, questa corrente generata per iniezione di cariche da una regione  
25 polarizzata direttamente rispetto al materiale semiconduttore nel quale è realizzata,



può raggiungere una ulteriore regione omologa a questa ma polarizzata inversamente. In tale situazione si costituisce un transistor bipolare parassita di tipo laterale e di cui le due regioni omologhe costituiscono l'emettitore ed il collettore ed il materiale semiconduttore intermedio ne costituisce la base.

5 Si osservi che l'innescò di transistori parassiti rappresenta un problema particolarmente sentito per tecnologie, come la BCD e la CMOS, per le quali su di un unico circuito integrato vi possono essere più componenti ciascuno avente un'uscita atta ad assumere un diverso potenziale. In generale, tali fenomeni sono anche noti con il termine di latch-up.

10 Sono note diverse tecniche volte a ridurre gli effetti della formazione di tali transistori parassiti laterali.

Secondo una prima tecnica le due regioni omologhe sono opportunamente distanziate allo scopo di ridurre il guadagno del transistor parassita. Tale tecnica comporta un considerevole decremento dell'area della struttura integrata utilizzabile  
15 per altri componenti circuitali.

Secondo una diversa tecnica, la porzione del materiale semiconduttore compresa tra le due regioni omologhe, cioè la base del transistor parassita, è drogata maggiormente in modo da ridurre il guadagno di tale transistor. Questa tecnica presenta lo svantaggio che nelle applicazioni di potenza si può creare un forte campo  
20 elettrico. Per ridurre l'effetto di tale campo elettrico è necessario realizzare un'adeguata struttura di terminazione delle regioni omologhe con conseguente notevole spreco dell'area della piastrina.

Secondo un'ulteriore tecnica è formato nello strato epitassiale e tra le regioni omologhe una ulteriore regione di conducibilità opposta a quella dello strato  
25 epitassiale. Questa ulteriore regione consente di sdoppiare il componente parassita

compreso fra le regioni omologhe in due transistori parassiti laterali aventi la base in comune, costituita dal substrato.

Tale regione intermedia è collegata elettricamente con lo strato epitassiale tramite una striscia metallica di contatto superficiale. Ciò riduce localmente il  
5 potenziale di substrato evitando che si verifichino condizioni di polarizzazione che portino all'iniezione di corrente. Questa tecnica richiede una adeguata struttura di terminazione che si traduce in una notevole occupazione di area. Inoltre, per strutture  $P^+-P^-$  essa non garantisce soluzioni radicali, in quanto tali strutture, a causa del fatto che il substrato  $P^+$  è ad elevata conducibilità, presentano una resistenza  
10 verso massa di valore basso e ciò rende problematica la riduzione richiesta del potenziale di substrato.

Scopo della presente invenzione è ovviare ai suddetti inconvenienti dell'arte nota con una soluzione tecnica efficace e di applicabilità non onerosa. Per raggiungere tale scopo è proposta la seguente invenzione come rivendicata.

15 Infatti, la presente invenzione mette a disposizione una struttura integrata in una piastrina di materiale semiconduttore comprendente:

- un substrato di un primo tipo di conduttività;
- uno strato epitassiale cresciuto su detto substrato avente una conduttività del primo tipo, lo strato epitassiale avendo una conduttività inferiore alla conduttività  
20 del substrato;
- una prima ed una seconda regione incluse nello strato epitassiale ed aventi conduttività opposta a quella dello strato; detta prima e detta seconda regione estendendosi da una superficie dello strato epitassiale opposta al substrato verso l'interno dello strato per formare una prima ed una seconda giunzione con detto  
25 strato;

- mezzi per ridurre un'iniezione di corrente attraverso lo strato da detta prima a detta seconda regione quando la prima giunzione è polarizzata direttamente; caratterizzata dal fatto che detti mezzi comprendono un elemento isolante interposto tra detta prima e seconda regione estendentesi da detta superficie dello strato epitassiale sostanzialmente almeno sino al substrato.

Inoltre forma oggetto della presente invenzione un metodo di produzione di una struttura integrata.

Ulteriori caratteristiche ed i vantaggi della presente invenzione risulteranno dalla descrizione di seguito riportata di forme di realizzazione preferite, date a titolo indicativo e non limitativo, con riferimento alle figure allegate, in cui:

- la figura 1 mostra schematicamente una sezione laterale di una prima forma di attuazione dell'invenzione;
- la figura 2a mostra una vista in pianta di una prima forma di attuazione dell'invenzione;
- 15 – la figura 2b mostra una vista in pianta una seconda forma di attuazione dell'invenzione;
- la figura 2c mostra una vista in pianta di una terza forma di attuazione dell'invenzione;
- 20 – le figure da 3a a 3d mostrano una sezione laterale della struttura integrata di figura 2c in diverse fasi di un processo di realizzazione.

In figura 1 è mostrata schematicamente una prima forma di attuazione della struttura integrata 100 realizzata secondo l'invenzione.

I tipi di drogaggio (P o N) ai quali fa riferimento la presente descrizione sono solo esemplificativi e l'esperto del ramo può facilmente adattare gli insegnamenti della presente invenzione a strutture impieganti drogaggi di segno opposto a quelli

indicati.

La struttura integrata 100 comprende un substrato 101, di tipo P, in particolare di tipo P<sup>+</sup>, ed uno strato epitassiale 102 cresciuto al di sopra di una superficie limite 103 di detto substrato. Lo strato epitassiale 102 ha una conduttività dello stesso tipo  
5 di quella del substrato 101 ma presenta una minore concentrazione delle impurità. In particolare, lo strato epitassiale 102 è di tipo P<sup>-</sup>.

Ad esempio, il substrato 101 di tipo P<sup>+</sup> è drogato con impurità in modo da avere una resistività compresa tra 1 mΩ cm e 100 mΩ cm. Preferibilmente, tale conduttività è compresa tra 8 mΩ cm e 12 mΩ cm. Lo strato epitassiale 102 di tipo P<sup>-</sup>  
10 , è drogato, con impurità in modo da avere, ad esempio, una resistività compresa tra 5 Ω cm e 15 Ω cm. Preferibilmente, tale resistività è compresa tra 8 Ω cm e 15 Ω cm.

Inoltre, il substrato 101, ad esempio, ha uno spessore compreso fra circa 500-600 μm e lo strato epitassiale 102 ha uno spessore compreso fra circa 5-15 μm. Preferibilmente, lo strato epitassiale 102 ha uno spessore compreso fra 5-7 μm.

15 All'interno dello strato epitassiale 102 sono presenti una regione 104 di tipo N ed una regione 105 di tipo N. Queste regioni si estendono da una superficie 103' dello strato epitassiale 102, opposta alla superficie 103 del substrato, sino all'interno dello strato epitassiale 105.

La struttura integrata 100 può essere vantaggiosamente impiegata nell'ambito  
20 della tecnologia BCD (Bipolar-CMOS-DMOS ) o nell'ambito della tecnologia CMOS.

In particolare, la regione 104 può essere una regione di base di un transistor bipolare avente il substrato 101 come regione di collettore e la regione 105 può rappresentare la regione di drain di un transistor DMOS (Double Diffused MOS).

25 La regione 104 e la regione 105 sono distanziate da una regione d'interfaccia

106 appartenente allo strato epitassiale 102.

La regione 104 e la regione 105 formano ciascuna una giunzione P-N con lo strato epitassiale 102.

In condizioni di funzionamento normali due giunzioni sono polarizzate  
5 inversamente.

Si osservi che in particolari condizioni di funzionamento, le giunzioni P-N e lo strato d'interfaccia 106 possono dar origine, ad un transistor laterale parassita NPN. Ad esempio, la regione 105 è idonea, se polarizzata direttamente rispetto allo strato epitassiale 102, ad iniettare elettroni in tale strato epitassiale. In altre parole, la  
10 giunzione PN formata dalla regione 105 e dallo strato epitassiale 102 rappresenta una giunzione emettitore-base di un transistor parassita laterale. La regione 104, se polarizzata inversamente rispetto al detto strato epitassiale, è idonea a fungere da collettore di tale transistor parassita laterale.

Nella regione d'interfaccia 106 è presente un elemento isolante 107, interposto  
15 tra la regione 104 e la regione 105, ed estendentesi dalla superficie 103' dello strato epitassiale 102 almeno sino alla superficie limite 103 del substrato 101. In particolare, nella figura 1 l'elemento isolante 107 si estende parzialmente all'interno del substrato 101.

L'elemento isolante 107 consente di ridurre o di eliminare la possibilità di  
20 innesco, in seguito a particolari condizioni di polarizzazione, di transistori parassiti formati dalla sopra citata sequenza di regioni a diverso drogaggio.

Durante il normale funzionamento della struttura 100 le giunzioni P-N tra le regioni 104 e 105 e lo strato epitassiale 102 sono polarizzate inversamente assicurando l'isolamento tra le due regioni.

25 In una situazione di polarizzazione transitoria, o anomala, la regione 105 può

trovarsi ad un potenziale negativo rispetto a quello dello strato epitassiale 102 con conseguente iniezione di elettroni in questo strato.

L'elemento isolante 107, grazie alla sua funzione di isolamento, impedisce la conduzione di tali elettroni dalla regione 105 alla regione 104 attraverso lo strato epitassiale 102.

In tal modo, nella struttura 100 si è sostanzialmente annullata la possibilità di formazione di un transistor parassita laterale.

Gli elettroni iniettati dalla regione 105 potrebbero raggiungere la regione 104 solo "scavalcando" l'elemento isolante 107 e attraversare il substrato 101. Si noti che un transistor parassita di tale tipo, cioè avente come regione di base il substrato 101, presenta un guadagno molto basso, o sostanzialmente nullo. Il substrato 101, di tipo  $P^+$ , ha un elevato drogaggio e rende inefficiente un transistor che comprenda nella propria base una porzione del substrato stesso.

I transistori parassiti di efficienza tale da causare disturbi al funzionamento della struttura integrata sono quelli che hanno la regione di base immersa nello strato epitassiale 102, il quale presenta una concentrazione di impurità inferiore a quella del substrato.

L'elemento isolante 107, estendendosi sostanzialmente per tutto lo spessore dello strato epitassiale o anche parzialmente all'interno del substrato, impedisce la circolazione di corrente nello strato epitassiale ed inibisce la formazione dei transistori parassiti.

Si osservi, inoltre, che un elemento isolante di spessore considerevolmente inferiore allo spessore dello strato epitassiale individua un canale conduttivo, incluso nello strato epitassiale stesso, che consente agli elettroni iniettati dalla regione 105 di raggiungere la regione 104 dando origine ad un transistor parassita.

Secondo una realizzazione preferenziale dell'invenzione, tale elemento isolante 107 comprende un solco ("trench") di isolamento che si estende dalla superficie 103' attraversando tutto lo spessore dello strato epitassiale 102 sino alla superficie limite 103. Inoltre, il solco 107 presenta pareti ossidate ed è riempito con polisilicio (silicio  
5 policristallino).

Il solco può estendersi, parzialmente, anche all'interno del substrato 101.

In figura 2a è mostrata una vista in pianta della struttura integrata 100. Nell'attuazione dell'invenzione mostrata in figura 2a, l'elemento isolante 107 è interposto fra la regione 104 e la regione 105 e si estende per una lunghezza  
10 sostanzialmente pari alla larghezza della piastrina a circuito integrato 100 in modo da dividere lo strato epitassiale 102 in due porzioni comprendenti rispettivamente la regione 104 e la regione 105.

Si osservi che un'efficiente riduzione della possibilità di innesco di transistori parassiti può essere ottenuta anche con un elemento isolante avente una lunghezza  
15 inferiore alla larghezza della piastrina a circuito integrato 100, come mostrato in figura 2b. Un tale elemento isolante 107 ha comunque dimensioni tali da rendere inefficiente (cioè, di guadagno trascurabile) il transistor parassita laterale comprendente come base un tratto dello strato epitassiale che si sviluppi lateralmente all'elemento isolante stesso, vale a dire corrispondente ad un percorso per gli  
20 elettroni del tipo indicato con una freccia in figura 2b.

Preferibilmente, l'elemento isolante 107 è realizzato ad una distanza dalle due regioni 104 e 105 tale da portarlo al di fuori delle regioni di svuotamento associate alle due giunzioni P-N, che in condizioni normali sono polarizzate inversamente. In tal modo, si evita che tale elemento isolante possa essere sottoposto a forti campi  
25 elettrici che potrebbero danneggiarlo.

Inoltre, con riferimento alle figure 2a e 2b si osservi che ciascuna delle due porzioni in cui risulta suddiviso lo strato epitassiale 102 a causa dell'elemento isolante 107 possono comprendere più componenti circuitali integrati, ad esempio, corrispondenti rispettivamente ad una sezione di elaborazione del segnale e ad una  
5 sezione di potenza.

In figura 2c è mostrata una struttura integrata su di una piastrina 100' comprendente, oltre alle regioni d'isolamento 104 e 105, anche una regione d'isolamento 104' ed una regione d'isolamento 105', entrambe di tipo N e relative ad ulteriori componenti circuitali (ad esempio, transistori DMOS, CMOS).

10 Vantaggiosamente, come mostrato in figura 2c, l'elemento isolante 107 può essere realizzato in modo da circondare la regione e 105. In tal modo si evita non solo la possibilità di formazione di transistori parassiti laterali con la regione 104 ma anche la formazione di tali transistori con le regioni di tipo N 104' e 105' presenti sulla piastrina 100'.

15 Questo risultato è particolarmente conveniente per circuiti integrati realizzati nell'ambito della tecnologia BCD, secondo la quale sulla medesima piastrina possono essere integrati componenti circuitali aventi terminali di drain o di collettore atti ad assumere diversi potenziali elettrici. Ad esempio, tali componenti circuitali possono costituire una convenzionale struttura a ponte per l'alimentazione di carichi  
20 induttivi.

Tipicamente, l'elemento isolante 107 circonda quella regione di tipo N che è suscettibile, a causa della particolare applicazione circuitale del componente ad essa associato, di iniettare elettroni nello strato epitassiale 102, ma comunque, tale elemento isolante può essere realizzato in modo da circondare quelle regioni idonee a  
25 costituire il collettore di un eventuale transistor parassita.



Inoltre, l'elemento isolante 107 può essere realizzato in modo da circondare solo parzialmente una determinata regione d'isolamento ma comunque in modo da rendere inefficienti i transistori parassitari laterali che potrebbero crearsi.

La lunghezza opportuna dell'elemento isolante 107, cioè il valore della  
5 dimensione A-B nelle figure 2a e 2c, può essere facilmente determinata dall'esperto del ramo in base alla presente descrizione e a seconda della particolare applicazione della struttura integrata 100 e, in particolare, tenendo conto della tensione di alimentazione della struttura integrata stessa.

Ad esempio, l'elemento isolante 107 può comprendere un solco avente una  
10 lunghezza pari a circa di  $1\mu$  o un solco avente una lunghezza pari alla lunghezza della regione d'interfaccia 106.

Si osservi che, ad esempio, la struttura integrata delle figure 1 e 2a-2c può essere alimentata con una tensione maggiore di 0 V ed inferiore od uguale a circa 100 V e, preferibilmente, compresa fra circa 10 V e circa 70 V. Più preferibilmente, tale  
15 tensione può essere compresa tra circa 20 V e circa 30 V.

Con riferimento alle figure 3a-3d, verrà ora descritto un metodo per realizzare, in accordo con l'invenzione, una particolare struttura integrata del tipo della struttura 100' comprendente un transistor bipolare ed un transistor DMOS. Gli elementi analoghi a quelli precedentemente descritti saranno indicati nelle figure  
20 che seguono con i medesimi riferimenti numerici.

Nella descrizione di tale metodo di realizzazione non saranno esplicitamente descritte quelle fasi note ed evidenti al tecnico del ramo.

Sulla superficie del substrato in silicio 101, di tipo  $P^+$ , è cresciuto uno strato epitassiale 102 di tipo  $P^-$ , come mostrato in figura 3a.

25 Successivamente è eseguita una fase di realizzazione di un elemento isolante

analogo all'elemento isolante 107 che circonda la regione 105 nella figura 2c.

La fase di realizzazione di tale elemento isolante prevede uno scavo di un solco di isolamento 201.

Lo scavo è eseguito mediante attacco ("etching") anisotropo dello strato epitassiale 102. Un metodo di attacco idoneo è, ad esempio, l'attacco a secco ("dry etching").

In figura 3b è mostrata una sezione della struttura integrata comprendente il solco 201.

Le pareti del solco 201, e la superficie superiore dello strato epitassiale 102 sono ricoperte da uno strato 202 di materiale isolante, quale, ad esempio il biossido di silicio,  $\text{SiO}_2$ .

In seguito, il solco 201 è riempito con del materiale dielettrico, come ad esempio polisilicio, 203 in modo da rendere la superficie superiore del solco stesso complanare allo strato di biossido di silicio 202 posto sulla superficie superiore dello strato epitassiale 102.

Ciò consente di procedere nel processo di produzione del dispositivo integrato con metodi noti nella tecnica.

Con riferimento alla figura 3c, il solco di isolamento 201 individua al suo interno una regione 204, compresa nello strato epitassiale 102, e due regioni, 205 e 206, esterne al solco.

Secondo la particolare attuazione dell'invenzione descritta, nella regione 205 verrà creato un transistor bipolare mentre nella regione 204 verrà creato un transistor DMOS.

Tramite noti processi litografici, sono create due aperture nello strato di biossido di silicio 202 attraverso le quali si causa la diffusione, nello strato epitassiale

102, di impurità di tipo N. In tal modo sono create le due regioni 104 e 105.

All'interno di tali due regioni 104 e 105 si creano, per diffusione, rispettivamente una regione tipo P, 207 ed una regione di tipo P<sup>+</sup> 208.

Le regioni 207, 104 e l'insieme del sottostante strato epitassiale 102 e substrato 101 rappresentano rispettivamente la regione di emettitore, base e collettore di un transistor bipolare verticale.

All'interno della regione 208 e della regione 105 si creano per diffusione due regioni, 209 e 210, di tipo N<sup>+</sup>.

La regione 209 e la regione 208 sono rispettivamente le regioni di sorgente ("source") e di corpo ("body") di un transistor DMOS. La regione 105 provvista della regione 210, intensamente drogata, rappresenta il collettore ("drain") di tale transistor. La regione 210 evita che si crei una giunzione P-N fra la regione 105 e il terminale metallico, ad esempio in alluminio, che sarà posto in contatto elettrico con tale regione 105.

In figura 3d è mostrata la struttura integrata 100' provvista degli elettrodi metallici di emettitore E 211, di base B 212 del transistor bipolare e degli elettrodi metallici di body B' 213, di source S 214, di gate G 215 e di drain D 216 del transistor DMOS. L'elettrodo di gate G 215 comprende un elemento in polisilicio 217 depositato, ad esempio, con la nota tecnica CVD (Chemical Vapour Deposition). Questo elettrodo di gate 217 è separato dalla superficie superiore dello strato epitassiale 102 da uno strato sottile di isolante.

Inoltre, in una fase finale, è realizzato uno strato metallico 118, ad esempio di alluminio, disposto sulla superficie inferiore del substrato 101. Tale strato metallico 218 funge da elettrodo di collettore per il transistor bipolare PNP della regione 205.

Il transistor bipolare realizzato nella regione 205 di figura 3d può, ad

esempio, essere un transistoro relativo ad una parte analogica (di elaborazione del segnale) mentre il transistoro DMOS della figura 3d può essere impiegato come un transistoro di potenza atto ad alimentare un carico induttivo (non mostrato) collegato al suo elettrodo di drain D 216. Questo elettrodo di drain può trovarsi in condizioni  
5 di polarizzazione che causerebbero l'innescarsi di un transistoro parassita NPN (comprendente la regione 104; lo strato epitassiale 102, e la regione 105) se non fosse presente l'elemento isolante 107.

Inoltre, anche nella regione 104 può essere realizzato un transistoro DMOS come avviene, ad esempio, nelle note strutture a ponte con DMOS atte ad alimentare  
10 carichi induttivi.

Alla regione 104 ed alla regione 105 possono essere associati componenti circuitali diversi da quelli descritti, quali ad esempio, resistori integrati o transistori MOS o transistori NPN.

Come appare evidente al tecnico del ramo, la realizzazione dell'elemento di  
15 isolamento non complica notevolmente il procedimento di costruzione della struttura integrata.

Alternativamente, la fase di realizzazione dell'elemento isolante può essere effettuata successivamente alle fasi di creazione delle regioni di diverso drogaggio corrispondenti ai componenti circuitali integrati nella singola piastrina. I tal caso, lo  
20 strato di ossido presente sulla superficie della piastrina al termine della diffusione delle regioni di vario drogaggio corrispondenti ai detti componenti integrati, sarà rimosso per accedere allo strato epitassiale in cui verrà scavato il solco. Si osservi che la fase di attacco dello strato epitassiale può essere convenientemente realizzata a temperature sufficientemente basse da non alterare in modo sostanziale la  
25 configurazione delle regioni drogate precedentemente. Comunque, la realizzazione

dell'elemento isolante prima delle fasi di creazione dei dispositivi integrati risulta preferita perché evita la detta fase di rimozione dello strato isolante.

Ovviamente alla struttura integrata ed al metodo di produzione sopra descritto un tecnico del ramo, allo scopo di soddisfare esigenze contingenti e specifiche, potrà  
5 apportare numerose modifiche e varianti, tutte peraltro contenute nell'ambito di produzione dell'invenzione, quale definito dalle seguenti rivendicazioni.

Rivendicazioni

1. Struttura integrata (100;100') in una piastrina di materiale semiconduttore comprendente:
- un substrato (101) di un primo tipo di conduttività;
  - 5 – uno strato epitassiale (102) cresciuto su detto substrato avente una conduttività del primo tipo, lo strato epitassiale avendo una conduttività inferiore alla conduttività del substrato;
  - una prima (104) ed una seconda regione (105) incluse nello strato epitassiale ed aventi conduttività opposta a quella dello strato; detta prima e detta seconda
  - 10 regione estendendosi da una superficie dello strato epitassiale opposta al substrato verso l'interno dello strato per formare una prima ed una seconda giunzione con detto strato;
  - mezzi per ridurre un'iniezione di corrente attraverso lo strato da detta prima a detta seconda regione quando la prima giunzione è polarizzata direttamente;
  - 15 caratterizzata dal fatto che detti mezzi comprendono un elemento isolante (107) interposto tra detta prima e seconda regione estendentesi da detta superficie dello strato epitassiale sostanzialmente almeno sino al substrato.
2. Struttura integrata secondo la rivendicazione 1 in cui detto elemento isolante
- 20 comprende un solco estendentesi da detta superficie dello strato epitassiale sino al substrato e riempito con materiale dielettrico.
3. Struttura integrata secondo la rivendicazione 1 in cui detto elemento isolante è tale da circondare in parte detta prima regione.

4. Struttura integrata secondo la rivendicazione 1 in cui detto elemento isolante è tale da circondare detta seconda regione.
5. Struttura integrata secondo la rivendicazione 1 in cui detto elemento isolante ha una lunghezza sostanzialmente pari alla larghezza di detta piastrina e divide la piastrina in due porzioni ciascuna includente detta prima e detta seconda regione.
6. Struttura integrata secondo la rivendicazione 2 in cui detto solco include del silicio policristallino (203) di planarizzazione della struttura integrata.
7. Struttura integrata secondo la rivendicazione 1 in cui detto substrato e detto strato hanno una conduttività di tipo P.
8. Struttura integrata secondo una qualsiasi delle rivendicazioni da 1 a 7 in cui detta prima regione comprende un transistor di potenza (209, 208, 105) destinato a comandare un carico induttivo avente la regione di collettore in detta prima regione.
9. Metodo di produzione di una struttura integrata comprendente le fasi di:
- fornire un substrato avente un primo tipo di conduttività,
  - crescere su detto substrato uno strato epitassiale avente una conduttività del primo tipo, detta conduttività dello strato epitassiale essendo inferiore alla conduttività del substrato;
  - realizzare all'interno del substrato una prima ed una seconda regione aventi conduttività opposta a quella dello strato epitassiale; detta prima e seconda

18

regione estendendosi da una superficie di detto strato epitassiale opposta al substrato verso l'interno dello detto strato epitassiale in modo da formare con lo strato epitassiale una prima ed una seconda giunzione;

- realizzare mezzi per ridurre un'iniezione di corrente attraverso lo strato da detta
- 5      prima a detta seconda regione quando detta prima giunzione è polarizzata direttamente;

caratterizzato dal fatto che detta fase di realizzare mezzi per ridurre l'iniezione di corrente comprende una fase di interporre tra detta prima e seconda regione un elemento isolante estendentesi da detta superficie dello strato epitassiale

10    sostanzialmente almeno sino al substrato.

10. Metodo secondo la rivendicazione 9 in cui detta fase di interporre un elemento isolante comprende una fase di scavare un solco estendentesi da detta superficie dello strato epitassiale sostanzialmente almeno sino al substrato.

15

11. Metodo secondo la rivendicazione 10 inoltre comprendente una fase di riempire detto solco con materiale dielettrico.



Riassunto

Struttura integrata 100 in una piastrina di materiale semiconduttore comprendente un substrato 101 avente un primo tipo di conduttività, uno strato epitassiale 102, cresciuto su detto substrato avente una conduttività del primo tipo ed inferiore alla  
5 conduttività del substrato.

Inoltre, la struttura integrata comprende una prima 104 ed una seconda regione 105 incluse nello strato epitassiale ed aventi conduttività opposta a quella dello strato, detta prima e detta seconda regione estendendosi da una superficie 103' dello strato epitassiale opposta al substrato verso l'interno dello strato per formare una prima ed  
10 una seconda giunzione con detto strato, e mezzi per ridurre un'iniezione di corrente attraverso lo strato da detta prima a detta seconda regione quando la prima giunzione è polarizzata direttamente. La struttura integrata è caratterizzata dal fatto che detti mezzi comprendono un elemento isolante 107 interposto tra detta prima e seconda regione estendentesi da detta superficie dello strato epitassiale sostanzialmente  
15 almeno sino al substrato.

FIG. 1

**THIS PAGE BLANK (USPTO)**

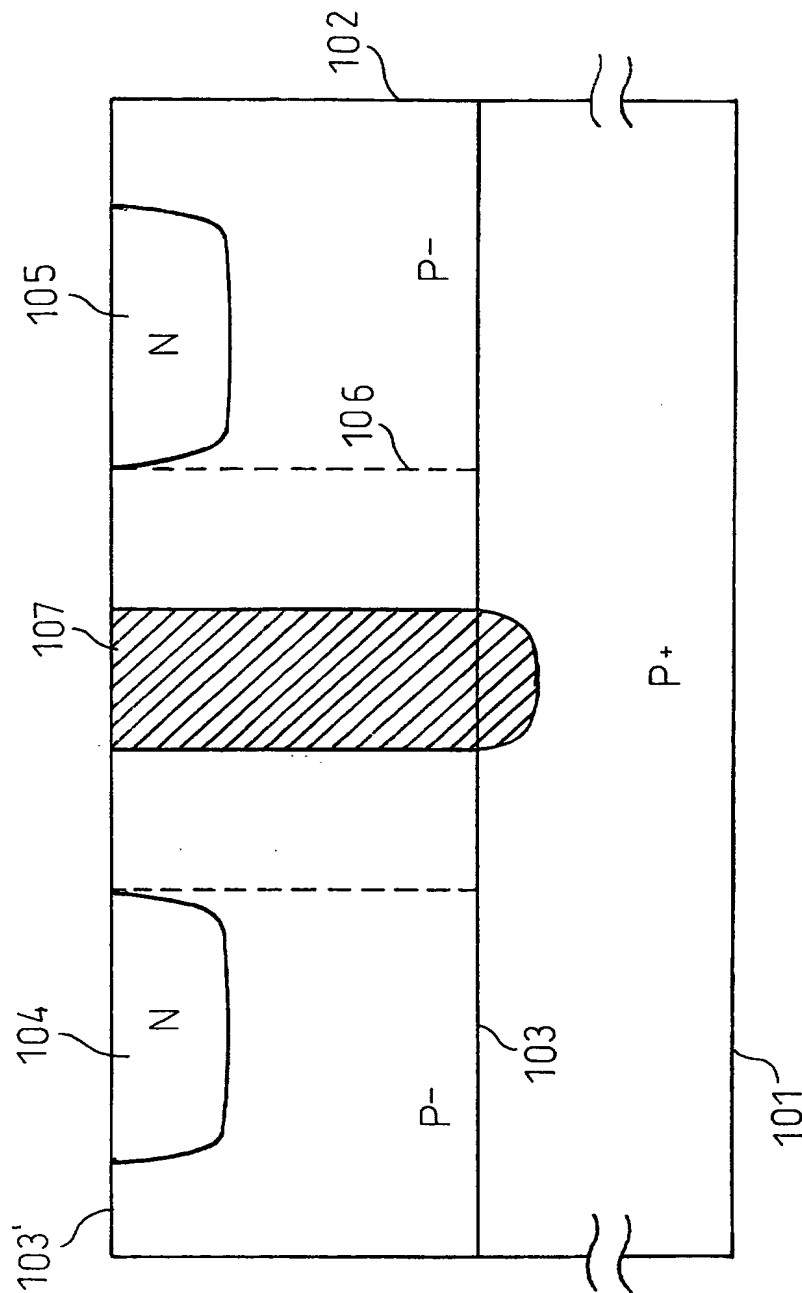


FIG.1

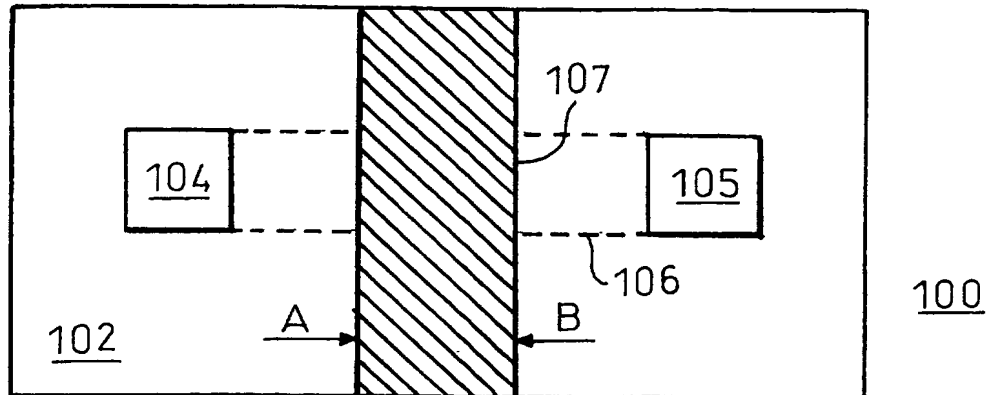


FIG. 2a

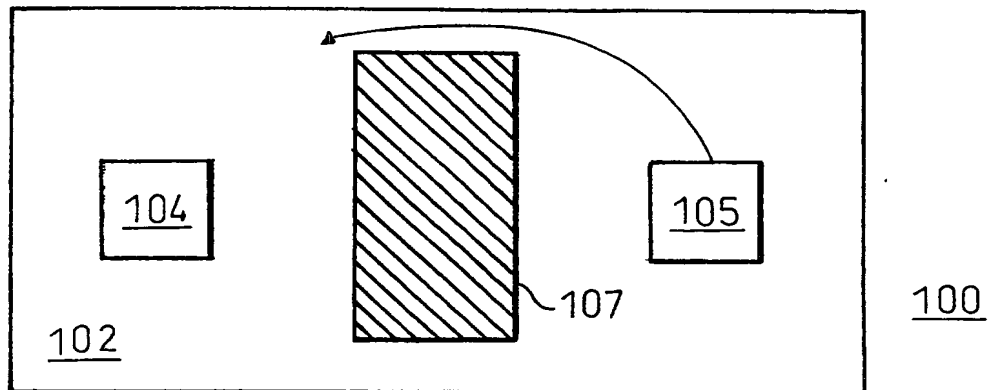


FIG. 2b

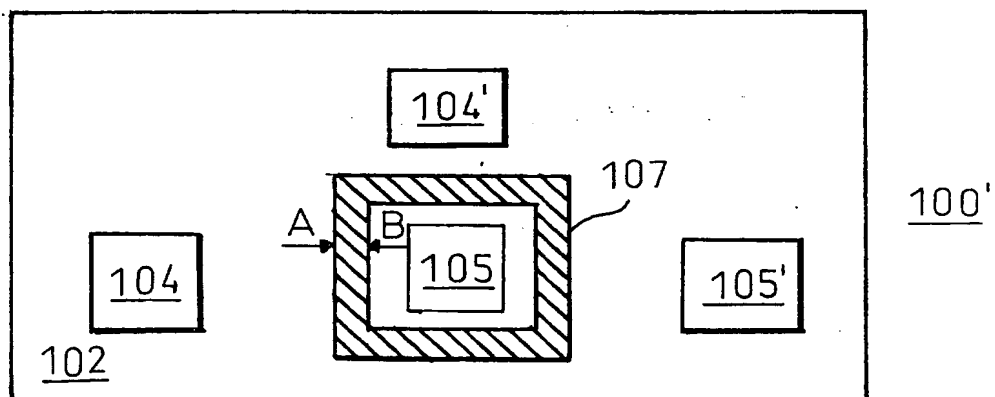


FIG. 2c

FIG. 3a

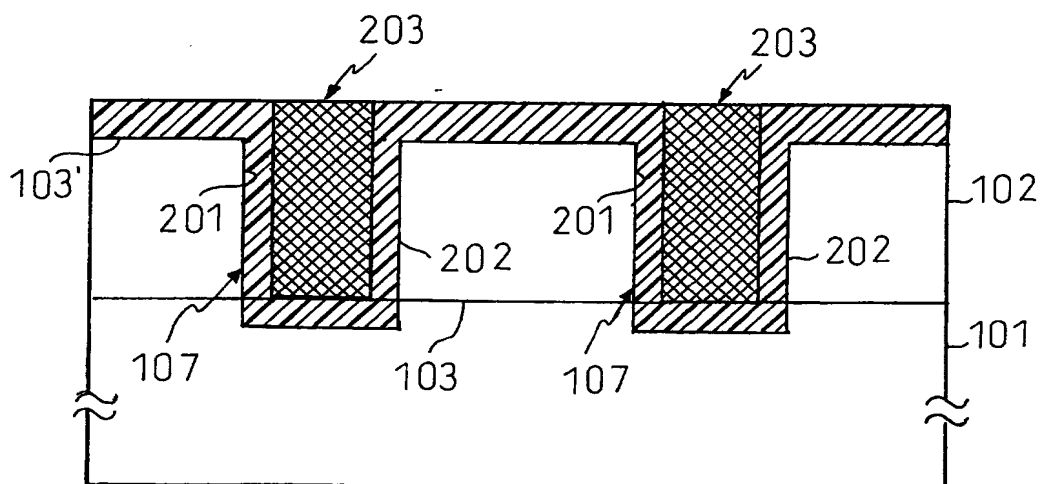
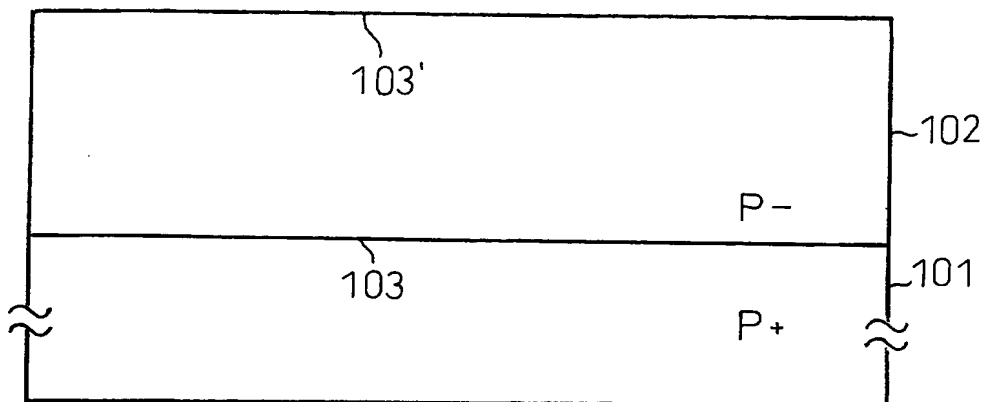


FIG. 3b

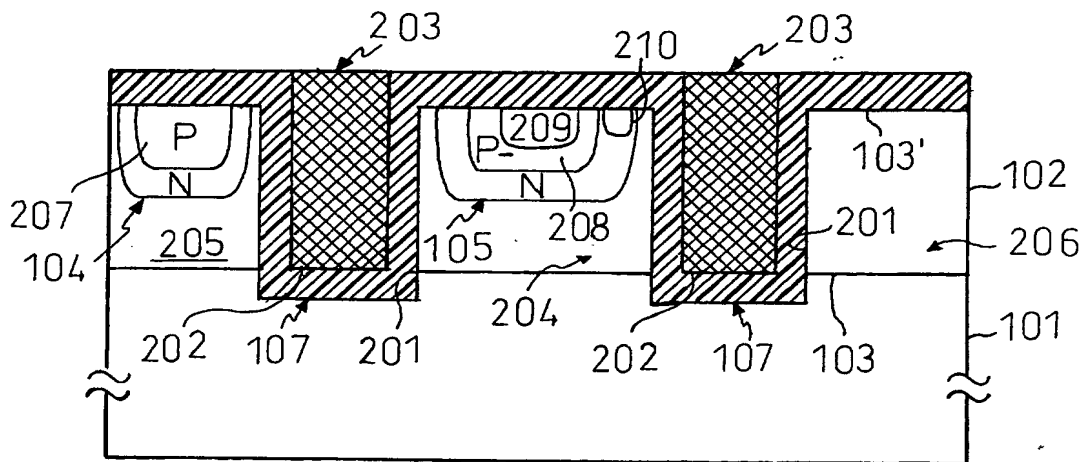


FIG. 3c

BEST AVAILABLE COPY

